

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-240432

(43)Date of publication of application : 12.09.1995

(51)Int.Cl. H01L 21/60  
H01L 21/28  
H01L 21/321

(21)Application number : 06-006270

(71)Applicant : NIPPONDENSO CO LTD

(22)Date of filing : 25.01.1994

(72)Inventor : NORITAKE CHIKAGE  
KONDO ICHII  
WATANABE TAKESHI  
INAGUMA YOSHIKI

(30)Priority

Priority number : 05 29955  
05341445

Priority date : 25.01.1993  
10.12.1993

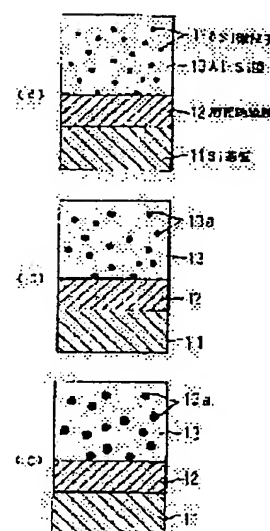
Priority country : JP  
JP

(54) ALLOY ELECTRODE AND SEMICONDUCTOR USING THE ALLOY ELECTRODE,  
AND MANUFACTURE OF ALLOY ELECTRODE

(57)Abstract:

PURPOSE: To provide an alloy electrode which helps to decrease a defective rate of bonding and to provide a semiconductor device wherein the alloy electrode is used and to provide a method for making the alloy electrode.

CONSTITUTION: An alloy electrode to be used for bonding is manufactured by depositing an Al-Si film 13 on a layer insulating film 12 formed on an Si substrate 11 and then conducting a heat treatment. On the layer insulating film 12, Si fine particles 13a of  $0.5\mu\text{m}$  or above in diameter are deposited at the density of  $150/900\mu\text{m}^2$  but only the ones that have the diameter of  $2.8\mu\text{m}$  or below are left behind on the film. This is achieved by setting a substrate temperature at the formation of the Al-Si film 13 and a heat-treatment temperature in the following process to specific ones. By this method, cracks are prevented from appearing in the layer insulating film 12 under the Al-Si film 13 and causing a bad insulation at the time of wire bonding.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開平7-240432

(43) 公開日 平成 7 年 (1995) 9 月 12 日

(51) Int.Cl. <sup>4</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/60	3 0 1 P			
21/28	3 0 1 M	8932-4M		
	S	8932-4M		
21/321				

H 0 1 L 21/92 F  
審査請求 未請求 請求項の数 12 O L (全 9 頁)

(21) 出願番号 特願平6-6270  
(22) 出願日 平成 6 年 (1994) 1 月 25 日  
(31) 優先権主張番号 特願平5-29955  
(32) 優先日 平 5 (1993) 1 月 25 日  
(33) 優先権主張国 日本 (J P)  
(31) 優先権主張番号 特願平5-341445  
(32) 優先日 平 5 (1993) 12 月 10 日  
(33) 優先権主張国 日本 (J P)

(71) 出願人 000004260  
日本電装株式会社  
愛知県刈谷市昭和町 1 丁目 1 番地  
(72) 発明者 則武 千景  
愛知県刈谷市昭和町 1 丁目 1 番地 日本電装株式会社内  
(72) 発明者 近藤 市治  
愛知県刈谷市昭和町 1 丁目 1 番地 日本電装株式会社内  
(72) 発明者 渡辺 健史  
愛知県刈谷市昭和町 1 丁目 1 番地 日本電装株式会社内  
(74) 代理人 弁理士 碓水 裕彦

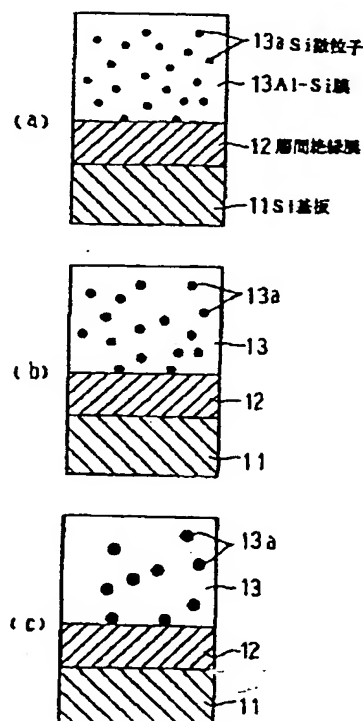
最終頁に続く

(54) 【発明の名称】 合金電極及びそれを用いた半導体装置及び合金電極の製造方法

(57) 【要約】

【目的】 ボンディング時における不良率を低減した合金電極及びそれを用いた半導体装置及び合金電極の製造方法を提供すること。

【構成】 ボンディング用等に用いる合金電極は、S i 基板 1 1 上に形成された層間絶縁膜 1 2 上に A l - S i 膜 1 3 を堆積し熱処理を施して形成される。上記層間絶縁膜 1 2 上に析出する S i 微粒子 1 3 a は、径 0. 5  $\mu$  m 以上のものが 1 5 0 個 / 9 0 0  $\mu$  m<sup>2</sup> 以下で、その中に径 2. 8  $\mu$  m 以下のもののみ存在する。これは、A l - S i 膜 1 3 の成膜時の基板温度やその後の熱処理温度を規定することにより達成される。これにより、ワイヤボンディング時などに A l - S i 膜 1 3 下の層間絶縁膜 1 2 にクラックが発生して絶縁不良となることが防止される。



1

## 【特許請求の範囲】

【請求項1】 半導体基板上に形成された層間絶縁膜上にSi（シリコン）を含む合金材料を堆積し熱処理を施して形成される合金電極であって、

前記層間絶縁膜の上面に析出するSi微粒子の径が、

2.  $8\mu\text{m}$ 以下のもののみ存在する合金電極。

【請求項2】 前記Si微粒子の径が $0.5\mu\text{m}$ 以上のものが、 $150\text{個}/900\mu\text{m}^2$ 以下である請求項1記載の合金電極。

【請求項3】 前記合金材料のSi含有量は、重量において $0.5\sim 2\%$ である請求項1もしくは請求項2記載の合金電極。

【請求項4】 前記請求項1乃至請求項3記載の合金電極の上面にワイヤボンディングを行う半導体装置。

【請求項5】 前記ワイヤボンディングの下に素子を設ける請求項4記載の半導体装置。

【請求項6】 前記ワイヤボンディングに用いるワイヤは、直径 $200\mu\text{m}$ 以上である請求項4もしくは請求項5記載の半導体装置。

【請求項7】 前記ワイヤのつぶれ幅は、ワイヤ径の1.2倍以上である請求項4乃至請求項6記載の半導体装置。

【請求項8】 半導体基板上に形成された層間絶縁膜上にSiを含む合金材料を堆積し熱処理を施して形成される合金電極の製造方法であって、  
前記熱処理として前記合金材料に適応した高温熱処理を所定時間施し、  
この高温熱処理終了後の所定時間以内に、室温以下の雰囲気の前記半導体基板をさらして冷却する合金電極の製造方法。

【請求項9】 前記高温熱処理終了後の所定時間は、10分である請求項8記載の合金電極の製造方法。

【請求項10】 前記室温以下の雰囲気は、 $0\sim 40^\circ\text{C}$ の温度範囲である請求項8もしくは請求項9記載の合金電極の製造方法。

【請求項11】 前記合金電極の成膜時の温度を $75\sim 200^\circ\text{C}$ とする請求項8乃至請求項10記載の合金電極の製造方法。

【請求項12】 前記合金材料はスパッタにより前記層間絶縁膜上に堆積する請求項8乃至請求項11記載の合金電極の製造方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体基板上に形成された層間絶縁膜上にSiを含む金属材料を堆積し熱処理を施して形成される合金電極及びそれを用いた半導体装置及び合金電極し熱処理を施して形成される合金電極及びそれを用いた半導体装置及び合金電極の製造方法に関する、特にボンディング用電極に関する。

【0002】

2

【従来技術】 従来、集積回路装置（以下、ICチップという）は、半導体基板に抵抗・トランジスタ・コンデンサ等の素子が形成され、それら素子上に層間絶縁膜が形成されている。そして、この層間絶縁膜上に、上記ICチップと外部回路とを電気的に接続する金属電極が形成されている。この金属電極は、例えば、金属材料としてSiを1%程度含んだアルミニウム（以下、Al-Si合金という）等の薄膜から成るものが一般的に使用されている。

【0003】 この金属電極は、一般的にSi基板を $250^\circ\text{C}$ 程度に加熱して、層間絶縁膜上にAl-Si合金から成るAl-Si膜を所定の膜厚に堆積することにより形成される。そしてこの後、シタリングと呼ばれる高温熱処理（通常、Al-Si合金の場合には $400\sim 450^\circ\text{C}$ ）を施すことにより、層間絶縁膜に設けられたコンタクトホールを介して、上記素子あるいはSi基板とAl-Si膜とを電気的に良好に接続するようにしている。

【0004】 ここで、該Al-Si膜からなる金属電極は、上記素子の形成領域近傍の層間絶縁膜上では配線電極として機能し、素子形成領域より離れた位置においてワイヤボンディング用のボンディング電極が設定される。例えば複数のトランジスタセルを有する縦形半導体装置（VDMOS、IGBT素子等）のソース電極およびソースパッドに適用した場合を説明する。図1に示すように、Si基板74上において各トランジスタセル71上を避けてワイヤボンディング用の領域72が設定され、この領域72上のパッド部分73に露出するAl-Si膜75においてワイヤボンディングが行われる。

【0005】 しかしながら、この図1より明らかなように、領域72及びパッド部分73を設けることは、ICチップの面積増大を招くという不具合がある。このICチップ面積の増大を防ぐために、図2に示すように、トランジスタセル71上において直接ワイヤボンディングを行うことが望まれる。ところで、上述のようにボンディング用電極は配線用電極としてのAl-Si膜と同時に形成されるものであり、過剰のSiが含有されている。そのため、Al結晶粒界などに必ずSi微粒子が析出する。この析出したSi微粒子が要因となって、下層と該Al-Si膜との間に配置される層間絶縁膜にクラックが入ることが、例えば文献“A NEW BOND FAILURE WIRE CRATER IN SURFACE MOUNT DEVICE (IEEE/IRPS, 1988, P59~P63)”に報告されている。すなわち、図3に示すように、ワイヤボンディング時に、Si基板81上の層間絶縁膜82の上面にあるAl-Si膜83中のSi微粒子84が原因となって、層間絶縁膜82にクラック85が入ることが記載されている。また、同文献は、層間絶縁膜82の上面のSi微粒子84の数が増大すると、ダメージが増大することを

指摘している。

【0006】従って、図2に示すようにボンディング領域を設定してワイヤボンディングを行うと、Alワイヤ76下のAl-Si膜75内のSi微粒子が析出し、層間絶縁膜（この場合、Al-Si膜75とトランジスタセル71のゲート電極との間の絶縁膜が相当する）にクラックが入り、Al-Si膜75とゲート電極との間が絶縁破壊されリークが生じ、ICチップ不良となってしまう。

【0007】

【発明の概要】本発明は、上記問題に鑑みなされたものであり、その目的とするところは、層間絶縁膜上に析出したSi微粒子による絶縁不良をなくすことのできる金属電極及びそれを用いた半導体装置及びその金属電極の製造方法を提供することである。

【0008】本発明者らの実験により、クラック発生によるICチップ不良の原因は、Si微粒子の数よりも、むしろ、層間絶縁膜上面に存在するシリコン微粒子の径にあることが明らかとなった。すなわち、本発明は層間絶縁膜上面に存在するシリコン微粒子の径が大きい場合にICチップ不良が発生することを見だし、以下のように新規な金属電極及びそれを用いた半導体装置及び金属電極の製造方法を提供するに至ったものである。

【0009】上記課題を解決するため、本発明の金属電極は、半導体基板上に形成された層間絶縁膜上にSi（シリコン）を含む金属材料を堆積し熱処理を施して形成される金属電極であって、前記層間絶縁膜の上面に析出するSi微粒子はその径が、 $2.8\mu\text{m}$ 以下のもののみ存在していることを要旨とする。すなわち本発明の合金電極は、層間絶縁膜上に析出するSi微粒子の径が $2.8\mu\text{m}$ 以下で形成され、Si微粒子の径が小さい。このため、ボンディング用電極に大きな超音波パワーや大きな荷重等の作用を受けても、Si微粒子の径が小さいために作用を受ける表面積が少なく、下地の層間絶縁膜にクラックなどのダメージが生じ難くなる。従って、本発明のボンディング用電極が形成されたICチップなどのデバイスにおいては、ボンディング不良が低減され信頼性の高いものとなる。

【0010】尚、この測定はAl電極をリン酸などでウェットエッチング除去した後、層間絶縁膜上を観察することで行えばよい。また好適な態様として、その径が $0.5\mu\text{m}$ 以上の前記Si微粒子が $150\text{個}/900\mu\text{m}^2$ 以下であることが望ましい。これにより、更に、下地の層間絶縁膜に与える作用力は少なくすることができ、クラックなどのダメージが生じ難くなる。

【0011】さらに、前記金属材料のSi含有量は、重量において $0.5\sim 2\%$ であることが望ましい。これによりSi含有量は多すぎず、層間絶縁膜上にSi微粒子が形成されにくくなるため、更に、下地の層間絶縁膜に与える作用力は少なくなり、クラックなどのダメージが

生じ難くなる。また、本発明の半導体装置は、上記した金属電極の上面にワイヤボンディングを行うことを要旨とし、さらに前記ワイヤボンディングの下に素子を設けることを要旨とする。本発明の半導体装置は、下地の層間絶縁膜に与える作用力が少なく、クラックなどのダメージが生じない半導体装置とすることができる。また、ワイヤボンディングの下に素子を設けることで、ワイヤボンディング用の特別の領域を設ける必要が無く、半導体装置の面積を減少させることができる。

10 【0012】なお、ワイヤボンディングに用いるワイヤを直径 $200\mu\text{m}$ 以上のものとするこで、ボンディングを強固に行うことができる。また、ワイヤのつぶれ幅をワイヤ径の1.2倍以上とすることで、ワイヤと金属電極との接合部の耐久性を向上することができる。また、本発明の金属電極の製造方法は、半導体基板上に形成された層間絶縁膜上にSiを含む金属材料を堆積し熱処理を施して形成される金属電極の製造方法であって、前記熱処理として前記金属材料に適応した高温熱処理を所定時間施し、この高温熱処理終了後の所定時間以内に、室温以下の雰囲気の前記半導体基板をさらして冷却することを要旨とする。

20 【0013】本発明の製造方法によれば、高温熱処理終了後の所定時間以内に、室温以下の雰囲気半導体基板をさらして冷却することで、金属電極の層間絶縁膜の上面に析出するSi微粒子の径を、再現性よく小さくすることができる。好適な態様として、前記高温熱処理終了後の所定時間が10分であることが望ましく、前記室温以下の雰囲気は $0\sim 40^\circ\text{C}$ の温度範囲であることが望ましい。また、前記金属電極の成膜時の温度は $75\sim 200^\circ\text{C}$ とすることが望ましい。なお、前記金属材料はスパッタにより前記層間絶縁膜上に堆積することができる。

【0014】

【実施例】以下、本発明の金属電極、特に、ワイヤボンディングされるボンディング用電極を具体的な実施例に基づいて説明する。図2は本発明を適用して形成される絶縁ゲート型バイポーラトランジスタの要部断面構造図であり、Si基板74に構成された複数のトランジスタセル71上に、ソース電極としてAl-Si膜75が形成されている。そして、トランジスタセル71上にワイヤボンディング用の領域が設定され、パッド部分73とされている。このパッド部分73に露出するAl-Si膜75においてAlワイヤ76によるワイヤボンディングが行われる。尚、絶縁ゲート型バイポーラトランジスタのセル構造を示す基板内pnpn構造はその図示を省略している。また、図4には、トランジスタセル領域の平面図を示す。図4に示すように、1セル（斜線部）21は、Al電極とSi電極とが直接接合するコンタクト部（Si基板）22と層間絶縁膜23とから成る繰り返し単位である。例えば、 $20\mu\text{m}$ セルの場合、繰り返し単位は $20\mu\text{m}\times 20\mu\text{m}$ の面積となる。

【0015】図5(a)～(c)を用いて、本発明一実施例におけるAl-Si膜形成過程を説明する。図5

(a)～(c)は本発明一実施例に係るボンディング用電極におけるSi微粒子の生成及び成長状態を示した断面模式図である。まず、半導体基板であるSi基板11には、その内部或いは上部に公知の加工技術を用いてトランジスタ・抵抗・コンデンサなどの素子が形成されている。そしてこれら素子を覆うように該Si基板11上には、図5(a)に示すように、CVD法などにより層間絶縁膜12が0.5～1.5 $\mu\text{m}$ 程度形成されている。この層間絶縁膜12は、例えば、BPSG膜、PSG膜、TEOS膜あるいはCVD-SiO<sub>2</sub>膜など、周知の絶縁膜から成る。そして、この上にスパッタリング法により配線用およびボンディング用電極となるAl-Si金属材料から成るAl-Si膜13を堆積する。このAl-Si膜形成行程では、成膜温度を100℃としてSi微粒子13aを均一分散させた。なお、基板温度範囲は75～200℃とすることができる。スパッタリング条件は、パワー7.2kW、ガス圧6mTorr、基板加熱温度100℃にて、Siを0.5～2wt%含むAl-Si合金から成るターゲットを用いた。又、基板加熱は半導体きばん11をチャックするステージのヒータにより加熱されたArガスを基板裏面に吹き付けることにより行い、温度はヒータに通電する電流量により制御した。

【0016】次に、上記Al-Si膜13をフォトリソエッチングにより所定のパターンにパターニングする。この後、低温熱処理として140℃で60分のブリシタを施す。このブリシタでは、図5(b)に示すように、Si核の生成が行われる。なお、低温熱処理工程の温度範囲は100～200℃とすることができる。次に、高温熱処理として450℃で30分のシンタリングを施す。このシンタリングでは、図5(c)に示すように、Si核の成長が行われてボンディング用電極が形成される。また、このシンタリングにより層間絶縁膜12が介在しない部分ではSi基板11とAl-Si膜13とが電気的に良好に接続される。

【0017】次に、図6～図13に示す実験結果に基づき本発明実施例のボンディング用電極について説明する。まず、図6に示すSi微粒子の最大径とトランジスタのG-S間(ゲート/ソース間)リーク不良率との関係図に基づき説明する。この図6には、2種類のボンディング条件(ワイヤボンディング時の超音波パワー)におけるSi微粒子最大径とG-S間リーク不良率との関係を示している。なお、ボンディング条件は、図7に示すように、ワイヤ径とそのボンディング時のつぶれ幅との関係にてあらわすことができる。図6から明らかなように、つぶれ幅/ワイヤ径が1.1である条件1では、Si微粒子の最大径が3 $\mu\text{m}$ を越えてもG-S間リーク不良が発生しないものの、つぶれ幅/ワイヤ径が1.2

(超音波パワー：使用できる最低条件)である条件2においては、そのSi微粒子径が2.8 $\mu\text{m}$ を越えると、G-S間リーク不良が発生してしまう。

【0018】例えば、エンジンルームの様な高温環境下に用いる半導体装置のボンディング用電極として用いるには、次に説明するように、条件2以上のボンディング強度が必要となる。ここで図8に、ワイヤ径を一定(400 $\mu\text{m}$ )とした時のワイヤつぶれ幅とせん断強度との関係を示す。なお、せん断強度は、ボンディングされたワイヤを一定の荷重にてせん断した時の荷重であらわしている。また図8には、ボンディング後に耐久試験(熱サイクル試験)を行い、その耐久試験前後のデータをあわせて図示してある。

【0019】図8に示すように、耐久試験前では、つぶれ幅に対するせん断強度はほぼ同等であるが、耐久試験後には、つぶれ幅に比例してせん断強度が強くなること がわかる。ワイヤボンディング電極を高温環境下にて使用するためには、上記のせん断強度が0.5N以上必要であり、図8から、つぶれ幅が480 $\mu\text{m}$ 以上必要であることがわかる。すなわち、つぶれ幅/ワイヤ径が1.2以上必要であることがわかる。

【0020】また、図9には超音波出力に対するつぶれ幅及び耐圧不良率の関係を示す。この図9により、ボンディング時の超音波パワーが120を越えると耐圧不良が発生する。この時のつぶれ幅は上限で820 $\mu\text{m}$ である。従って、ワイヤ径が一定の条件(400 $\mu\text{m}$ )においては、つぶれ幅が820 $\mu\text{m}$ までは不良が発生せず、それ以上のつぶれ幅となると超音波パワー過剰のために、不良が発生する。

【0021】また、図10に上記の図8と図9にて示した関係を、つぶれ幅/ワイヤ径と、耐久性及びリーク不良率との関係にて示す。上記の図8ではワイヤ径を一定として説明したが、つぶれ幅/ワイヤ径との関係で示すと、所定の耐久性(せん断強度)を得るためには、つぶれ幅/ワイヤ径が1.2以上必要であることがわかる。また、超音波パワーによるリーク不良の発生に対しては、つぶれ幅/ワイヤ径が1.87以下であれば良い。

【0022】このように厳しい使用環境下にて用いる半導体装置のボンディング用電極としては、つぶれ幅/ワイヤ径が1.2以上となるボンディング強度が必要である。従って、図6により、2.8 $\mu\text{m}$ 以下のSi微粒子のみが析出するように構成することが、リーク不良を防止するのに必要である。ところで、層間絶縁膜にクラックを発生させる最大の原因は、層間絶縁膜上に析出するSi微粒子の径の大きさである。その径の大きさに伴う不具合の発生について図11を用いて説明する。図11にはSi微粒子と層間絶縁膜との間の界面モデルを示す。

【0023】図11に示すように、例えばBPSGよりなる層間絶縁膜92上に形成されたAl-Si膜93中

7

には、Si微粒子94が少なからず形成される。このSi微粒子94は、図示の如く、数nmのAl結晶を介して層間絶縁膜92上において、Alの結晶粒界に山形状に析出され、その中心部が下層の層間絶縁膜92とアモルファス部分94aにて連結している。Si微粒子94は、ワイヤボンディング時にその表面に超音波振動等の作用力を受けるため、この表面積が大きい程、作用力を受けやすくなる。そしてSi微粒子94が作用力を受けるとそれが伝播され、層間絶縁膜92にクラックが生じてしまう。したがって、この表面積を小さくすれば、即ちSi微粒子の径を小さくすれば、作用力を受ける量は減少し、層間絶縁膜のクラックの発生を抑えることができるのである。

【0024】次に、Si微粒子の数とリーク不良発生率との関係を図12を参照して説明する。この図12に示すように、析出したSi微粒子の最大径が $2.8\mu\text{m}$ の場合、Si微粒子数が $150\text{個}/900\mu\text{m}^2$ 以下であれば、G-S間リーク不良は発生しない。従って、層間絶縁膜との界面に析出するSi微粒子が $150\text{個}/900\mu\text{m}^2$ 以下であれば、更に良いことがわかる。つまり、層間絶縁膜に伝播エネルギーは作用力を及ぼすSi微粒子の径と共にその後も、G-S間リーク不良に関係すると考えられ、Si微粒子の径が $2.8\mu\text{m}$ 以下であり、かつその数が $150\text{個}/900\mu\text{m}^2$ 以下とすることで、更にG-S間不良発生を抑制することができる。なお、析出したSi微粒子の最大径が $2.8\mu\text{m}$ 以下の場合、許容できるSi微粒子数は $150\text{個}/900\mu\text{m}^2$ より多少多くても良い。

【0025】また、図13には、金属電極を形成するためのスパッターゲットであるAl-Si合金中のSi含有率とG-S間リーク不良率との関係を示す。この図13から、Si含有率が2wt%を越えるとリーク不良が発生することがわかる。これは、Siが多く含有されることでSiどうしの凝集が起こりやすいと考えられ、たとえAl-Si膜を低温で堆積しても上述のように $2.8\mu\text{m}$ 以下のもののみでの電極形成が困難となり、その結果、 $2.8\mu\text{m}$ を越えるSi微粒子が層間絶縁膜上に発生するためと考えられる。

【0026】なお、Al-Si中のSi含有率が0.5wt%以下になると、この電極とSi基板との接合に不良が発生してしまうため、0.5wt%以上とするのが良い。次に、本実施例の低温堆積、プリシタ及びシンタリングの2段階熱処理について説明する。

【0027】本実施例のボンディング用電極においては、図5(a)に示すように、まず、層間絶縁膜12上にAl-Si膜13が温度範囲 $75\sim 200^\circ\text{C}$ の低温にて成膜される。このとき層間絶縁膜上に析出するSi微粒子13aの径は小さく、膜中におけるSi微粒子13aの分布も均一である。これは温度が低いためAl中のSiの拡散速度が小さく、またSi微粒子どうしの出会

8

う確率も小さいためと考えられる。次に、このように形成されたAl-Si膜13に対して、図5(b)に示すように、温度範囲 $100\sim 200^\circ\text{C}$ 、更に望ましくは温度範囲 $100\sim 150^\circ\text{C}$ の低温熱処理を施している。この低温熱処理において、Si微粒子13aの粒成長がゆっくり進行(Si核の生成)する。この後、図5(c)に示すように、高温熱処理であるシンタリングを施すことにより、Si核が成長する。つまり2段階の熱処理を、低温で成膜したAl-Si膜13に施すことによりその膜中のSi微粒子13aを大きく成長させることなく均一に析出させることができるのである。このため、本実施例においては、Al-Si膜13下の層間絶縁膜12上に析出されるSi微粒子13aの数は少なくその径も小さいので、ワイヤボンディングなどにおいて層間絶縁膜12のクラック発生を極めて少なくできる。即ち、ボンディングにおける品質を極めて安定したものとすることができる。

【0028】一方、金属電極の形成工程において、温度が高い程、Al中のSiの拡散速度は速い。又、自由エネルギーは、ある粒径d。以上は粒径が大きくなった方が安定である。このことから、図14(a)に示すように、Al-Si膜53の成膜温度が高い程、Siどうしが集まり易くなり、Si微粒子53aの径は大きくなる。これをシンタリングすればSi微粒子が更に成長し、図14(b)に示すように、層間絶縁膜52上に径の大きいSi微粒子53aが析出しやすくなる。

【0029】また、図15(a)に示すように、基板温度を $75^\circ\text{C}$ 未満の低温で成膜したAl-Si膜63は、析出するSi微粒子63aの径は小さく膜中の分布も均一である。ところが、図15(b)に示すように、低温熱処理を行っても、Si微粒子63aの成長は急激に進行し、一部のSi微粒子63aの粒径が大きくなる。更に、図15(c)に示すように、形成されたAl-Si膜63に高温熱処理を施すと、Si微粒子63aは粒成長がさらに進行して粒径が大きくなると共に、粒径の揃った均一な分散とならない。

【0030】次に本発明の他の実施例として、別の熱処理方法を行う例を説明する。別の熱処理方法として、前述の実施例と同様に、低温、すなわち基板温度範囲を $75\sim 200^\circ\text{C}$ としたAl-Si膜の成長後に、高温熱処理、例えば $450^\circ\text{C}$ で30分のシンタリングを実施し、そして10分以内、望ましくは5分以内にはんとうたい基板であるSi基板をシンター炉から室温以下の雰囲気に出して冷却する。この急冷を行うと、Al-Si膜の内部のSi微粒子の径が $2.8\mu\text{m}$ を越えないでAl-Si膜が形成される。これに対して通常行われている冷却条件、すなわちAlシンター後に $3^\circ\text{C}/\text{min}$ で $300^\circ\text{C}$ まで冷却してから5分程で室温に出す条件で実施すると、Al-Si膜の内部のSi微粒子の径が $3.6\mu\text{m}$ を越えてしまい、不良を発生させる原因となる。これ



9、

10

はAl中のSi原子の拡散速度が450℃では $2.8 \times 10^{-10} \text{ cm}^2 / \text{sec}$ 、300℃では拡散速度が $6.5 \times 10^{-13} \text{ cm}^2 / \text{sec}$ 、50℃では拡散速度が $1.0 \times 10^{-22} \text{ cm}^2 / \text{sec}$ であり、Siの析出量が450℃でAlに対して0.5%であるのに対し、300℃での析出量は0.9%となっていることから、ゆっくり冷却するとSi原子の会合確率が高くて粒子化が促進するためと推定される。従って、冷却を早くすることで、Al中のSi原子の大型化を抑えることができる。

【0031】この冷却は図16(a)、図16(b)で示すように、ウエハ120をAlシンタ炉100から炉外130に出すことで実現できる。しかし、冷却をさらに急激に実施するとウエハ120にかかる熱勾配が大きくなり、熱歪みを生じて基板を破損することが懸念される。従って、ここではいわゆる水冷などのクエンチ(急冷)は考えていない。ただ通常の大気中(一年中を通しての気温範囲で、通常は10~25℃程度)にポート110ごと取り出し、放置することのみで十分目的が達成できる。

【0032】そこで図17に示すように、通常のAlシンタ炉で400~450℃で加熱後、10分以内、特に約5分で炉外に大気中(約20℃)に放置した結果、Al-Si膜の内部のSi微粒子の径は $2.4 \sim 2.8 \mu\text{m}$ であり、不良は発生しないことが判明した。従って、クエンチ程ではない速さの冷却により、望ましい特性の電極を得ることができる。すなわち、本実施例においても、上記一実施例の如く、層間絶縁膜上面に析出するSi微粒子の径を小さく、しかも再現性よく制御することができ、ワイヤボンディングを強固に行った際にもクラックが発生しない。従って、エンジンルームのような高温環境下にて使用する半導体装置のボンディング用電極として用いて好適である。

【0033】なお、本冷却工程はもちろん、半導体基板に対して熱勾配を生じないよう、表裏両面とも大気にさらされるようにする保持手段を用いることが望ましい。また40℃程度以下で、本実施例の効果が期待できる。尚、本実施例においても、上記一実施例と同様に、シンタリングの前に低温、例えば100~200℃、望ましくは温度範囲が100~150℃のプリシンタを行うようにすると、更なる効果が期待できる。

【0034】また、Alシンタリング後に最終表面保護膜としてプラズマCVD法によりシリコン窒化膜を形成することが行われている。このパッシベーションアニール工程も高温(400~450℃)で実施されるため、この後も室温雰囲気下に取り出す急速冷却を行うことが望まれる。尚、上述の種々実施例においては、Al-Si膜上にワイヤボンディングする際について述べたが、この他、パンプ等、Al-Si膜上に荷重等が作用し、下地にクラックなどのダメージが生じるような場合にも

本発明を適用して、ダメージ緩和することができる。

【0035】また、Al-Si膜としてAl-Si-Cuを用いる場合であっても、本発明を適用して、ダメージ緩和することができる。

【図面の簡単な説明】

【図1】図1は、従来のワイヤボンディング用電極構造を示す縦形半導体装置の要部断面図である。

【図2】図2は、本発明を用いたワイヤボンディング用電極構造を示す縦形半導体装置の要部断面図である。

10 【図3】図3はクラック発生原因は説明するに供する図である。

【図4】図4は、図2に示す縦形半導体装置のセル構造を示す要部上面図である。

【図5】図5(a)、(b)、(c)は、本発明の具体的な一実施例に係るボンディング用電極におけるSi微粒子の生成及び成長状態を示す断面模式図である。

【図6】図6は、Si微粒子の最大径とG-S間リーク不良率との関係を示す図である。

20 【図7】図7は、ワイヤ径とワイヤのつぶれ幅とを示す図である。

【図8】図8はつぶれ線とせん断強度との関係を示す図である。

【図9】図9は、超音波出力とG-S間リーク不良率、及びつぶれ幅との関係を示す図である。

【図10】図10は、ワイヤのつぶれ幅/ワイヤ径と、G-S間リーク不良率、及びワイヤと電極との接合部の耐久性との関係を示す図である。

【図11】図11はクラック発生原因を説明するに供する図である。

30 【図12】図12はSi微粒子の数とG-S間リーク不良率との関係を示す図である。

【図13】図13はAl-Si中のSi含有率とG-S間リーク不良率との関係を示す図である。

【図14】図14(a)、(b)は、高温でボンディング用電極を堆積させた際におけるSi微粒子の生成及び成長状態を示した断面模式図である。

【図15】図15(a)、(b)、(c)は、75℃未満でボンディング用電極を堆積させた際におけるSi微粒子の生成及び成長状態を示した断面模式図である。

40 【図16】図16(a)、(b)は、室温以下の雰囲気下にさらす手順を示す説明図である。

【図17】図17は、室温以下の大気中に放置して空冷した場合の放置までの時間とSi微粒子径との関係を示す説明図である。

【符号の説明】

11 Si基板(半導体基板)

12 層間絶縁膜

13 Al-Si膜(ボンディング用電極)

13a Si微粒子

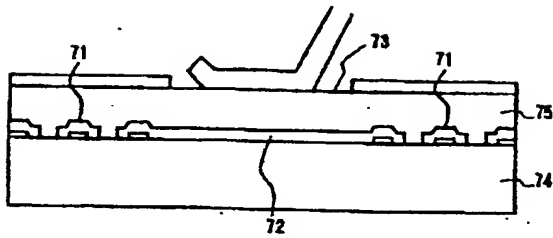
100 Alシンタ炉

50

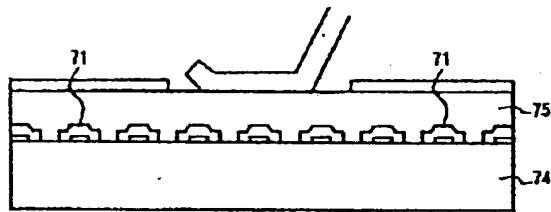
11 基板保持用ポート  
120 ウエハ (半導体基板)

130 炉外 (室温雰囲気)  
12

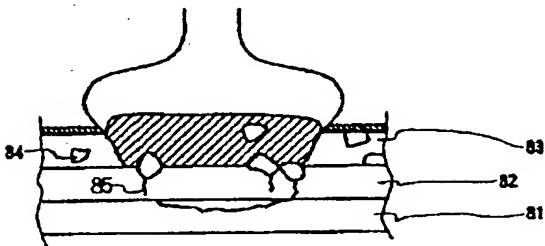
【図1】



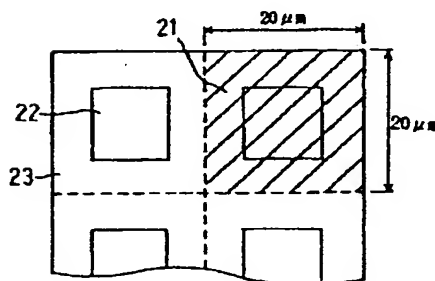
【図2】



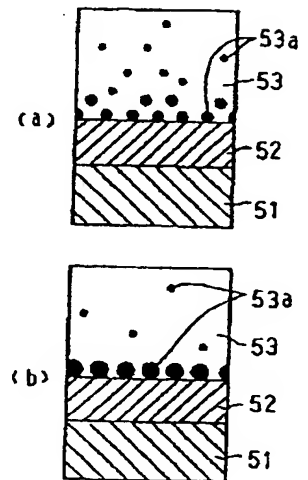
【図3】



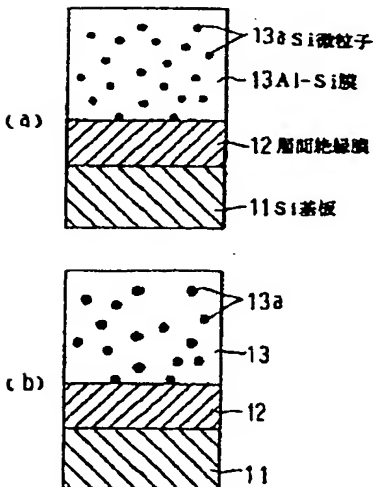
【図4】



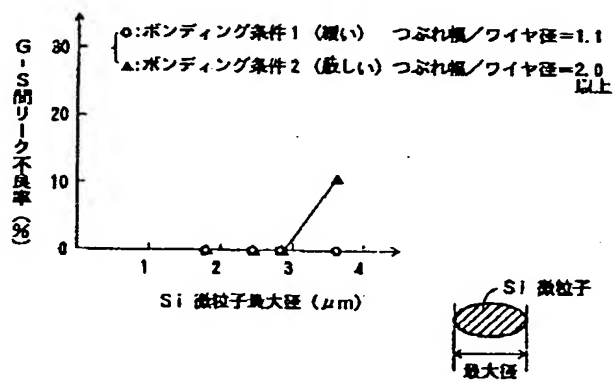
【図14】



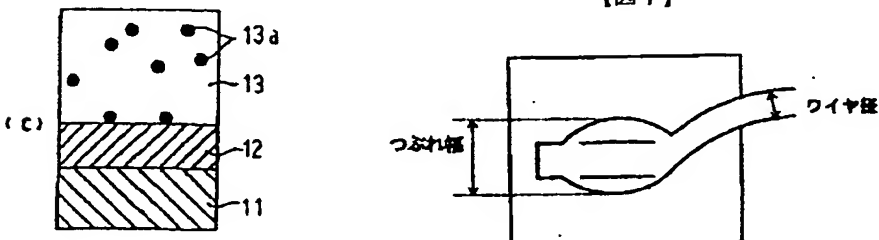
【図5】



【図6】

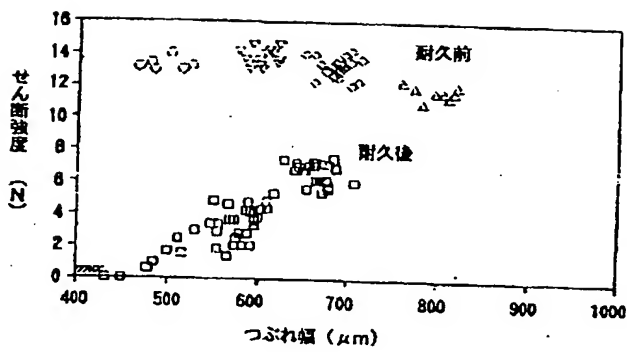


【図7】

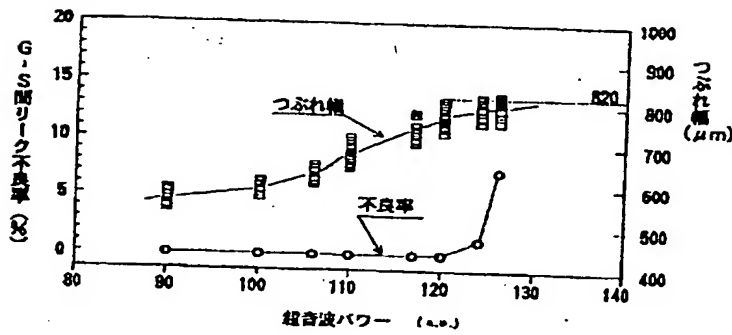




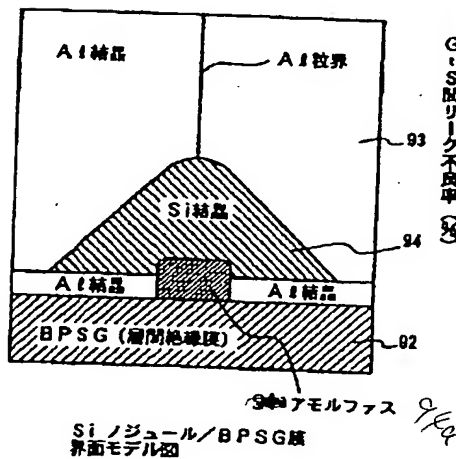
【図8】



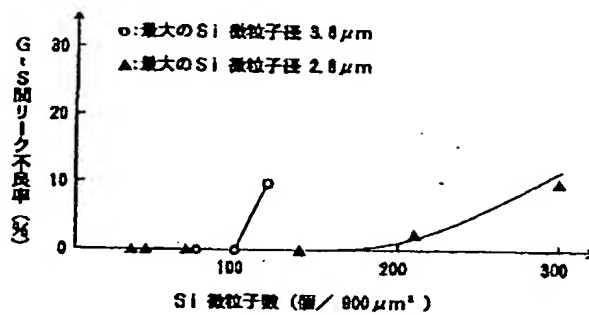
【図9】



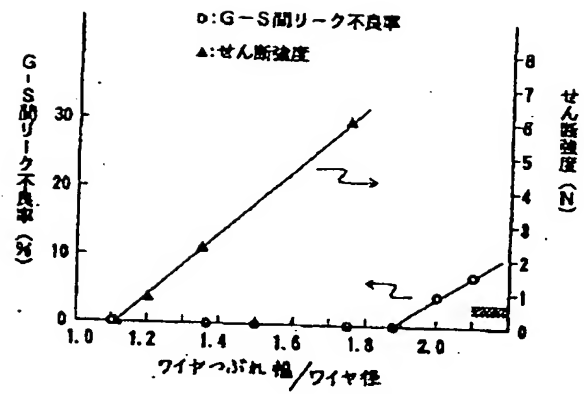
【図11】



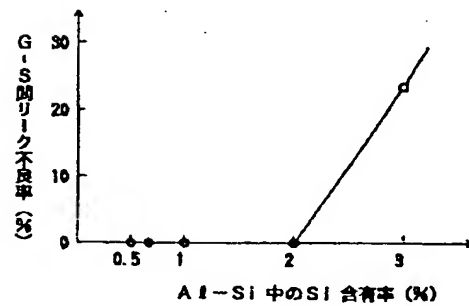
【図12】



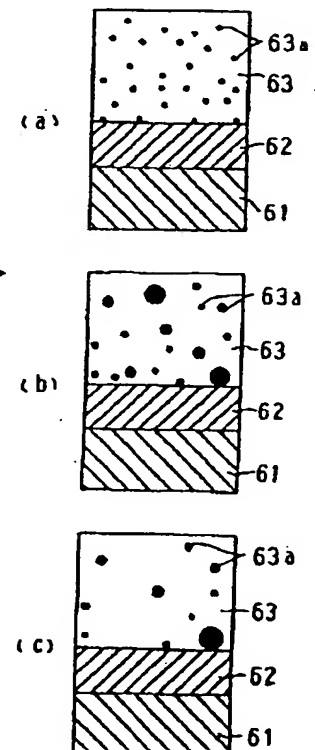
【図10】



【図13】

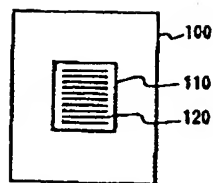


【図15】

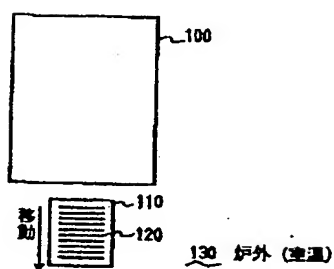


【図16】

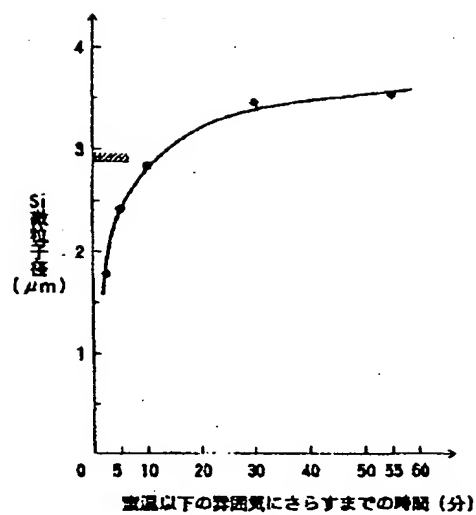
(a)



(b)



【図17】



フロントページの続き

(72) 発明者 稲熊 義明  
 愛知県刈谷市昭和町1丁目1番地 日本電  
 装株式会社内